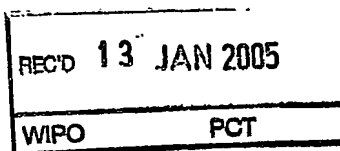


15.11.2004

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2 0 0 3 年 1 1 月 1 8 日

出 願 番 号  
Application Number: 特 願 2 0 0 3 - 3 8 7 9 4 8  
[ST. 10/C]: [ J P 2 0 0 3 - 3 8 7 9 4 8 ]

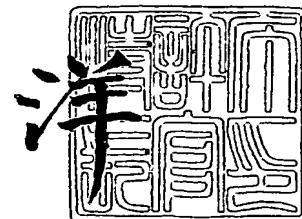
出 願 人  
Applicant(s): 箕輪興亜株式会社

**PRIORITY  
DOCUMENT**  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH RULE 17.1 (a) OR (b).

2 0 0 4 年 1 2 月 2 2 日

特許庁長官  
Commissioner,  
Japan Patent Office

小 川



BEST AVAILABLE COPY

【書類名】	特許願
【整理番号】	P2003-12
【あて先】	特許庁長官殿
【国際特許分類】	H01C 7/00
【発明者】	
【住所又は居所】	長野県上伊那郡箕輪町大字中箕輪 1 4 0 1 6 番地 3 0 ケイテックデバイシーズ株式会社内
【氏名】	藤本 浩治
【特許出願人】	
【識別番号】	500157837
【氏名又は名称】	ケイテックデバイシーズ株式会社
【代表者】	山本 耕三
【手数料の表示】	
【予納台帳番号】	105707
【納付金額】	21,000円
【提出物件の目録】	
【物件名】	特許請求の範囲 1
【物件名】	明細書 1
【物件名】	図面 1
【物件名】	要約書 1

**【書類名】特許請求の範囲****【請求項 1】**

六面体からなる絶縁基板の一組の向い合う面に夫々一つずつ回路素子が形成される表面実装型二連チップ電子部品であって、

当該回路素子を構成する電極が、外部端子を兼ねることを特徴とする表面実装型二連チップ電子部品。

**【請求項 2】**

回路素子が、一对の電極と、当該電極双方に接触する抵抗体又は誘電体とから構成され、当該電極の外部端子領域表面にはニッケルめっき層及びハンダめっき層がこの順に配されることを特徴とする請求項 1 記載の表面実装型二連チップ電子部品。

**【請求項 3】**

六面体からなる絶縁基板表面の両端に配置された一对の第 1 電極と、当該絶縁基板の裏面に前記第 1 電極と対向するように配置された一对の第 2 電極と、前記一对の第 1 電極双方に接触するよう配置された第 1 の抵抗体と、第 2 電極双方に接触するよう配置された第 2 の抵抗体を有する表面実装型二連チップ電子部品。

**【請求項 4】**

絶縁基板が、一の面と隣り合う面とが実質的に直交することを特徴とする請求項 1～3 のいずれかに記載の表面実装型二連チップ電子部品。

**【請求項 5】**

回路素子の電流進行方向と直交する絶縁基板表面端部に電極不存在領域を有することを特徴とする請求項 1～4 のいずれかに記載の表面実装型二連チップ電子部品。

**【請求項 6】**

電極と抵抗体とが絶縁基板面上に重なり合って接触する領域を有し、当該領域では絶縁基板の上に抵抗体が配され、且つ抵抗体の上に電極が重なることを特徴とする請求項 1～5 のいずれかに記載の表面実装型二連チップ電子部品。

**【請求項 7】**

回路素子が形成される絶縁基板面における回路素子の電流進行方向に沿った絶縁基板寸法 (L) と、L と直交する絶縁基板寸法 (T) と、回路素子が形成される絶縁基板面間距離 (W) との関係が、 $L \geq W > T$ であることを特徴とする請求項 1～6 のいずれかに記載の表面実装型二連チップ電子部品。

**【請求項 8】**

絶縁基板、電極、抵抗体から選ばれる一つ又は全部が、樹脂系材料を主成分とすることを特徴とする請求項 1～7 のいずれかに記載の表面実装型二連チップ電子部品。

**【請求項 9】**

回路素子が形成される絶縁基板面の長辺が 1.0 mm 以下であることを特徴とする請求項 1～8 のいずれかに記載の表面実装型二連チップ電子部品。

## 【書類名】明細書

【発明の名称】表面実装型二連チップ電子部品

## 【技術分野】

【0001】

本発明は、表面実装型二連チップ電子部品に関するものである。

## 【背景技術】

【0002】

表面実装型二連チップ電子部品の代表的外形は、特開2001-015309号公報に開示された、セラミック基板形状がH型のもので、その一方の面に抵抗素子（回路素子）が2つ形成されるものである。また基板側面に抵抗素子が形成される電子部品については、米国特許第6,097,277号公報にその開示がある。

【特許文献1】特開2001-015309号公報

【特許文献2】米国特許第6,097,277号公報

## 【発明の開示】

【発明が解決しようとする課題】

【0003】

しかしながら電子部品の小型化の要請が高まるに従い、上記従来の電子部品の構成ではかかる要請に対応しきれなくなっている。上記H型セラミック基板は、その形状の複雑さから、セラミック焼結時の収縮が基板の外寸に大きく影響し、かかる外寸を一定にすることが困難となっている。また上記開示された基板側面に抵抗素子が形成される電子部品は、導電性ボールを回路素子の外部端子としているため、全体の構造が複雑になり、電子部品の小型化には不向きである。

【0004】

そこで本発明が解決しようとする課題は、小型化が可能な表面実装型二連チップ電子部品を提供することである。

【課題を解決するための手段】

【0005】

上記課題を解決するため、本発明の表面実装型二連チップ電子部品は、六面体からなる絶縁基板1の一組の向い合う面に夫々一つずつ回路素子2が形成される表面実装型二連チップ電子部品であって、当該回路素子2を構成する電極3が、外部端子を兼ねることを特徴とする。

【0006】

上記「六面体」は、図1(a)に示すような向い合う3組の面が夫々異なる形状の立方体や、立方体や、向い合う2組の面が同形状で残りの1組の向い合う面が異なる形状の立方体等を含む。また上記「回路素子2」は、抵抗素子、コンデンサ素子、インダクタ素子等を含む。また「六面体からなる絶縁基板1の一組の向い合う面に夫々一つずつ回路素子2が形成される」ため、二連電子部品を構成できる。ここで「外部端子」とは、回路板14のランドとハンダ等で直接的に電気接続する部材である。

【0007】

上記本発明の表面実装型二連チップ電子部品は、六面体からなる絶縁基板1を用いることから、従来のH型セラミック基板に比して全体形状が複雑にならない。また回路素子2を構成する電極3が、外部端子を兼ねることから、構成部材数を低減でき、全体構造が複雑にならない。従って小型化が可能であり、上記課題が解決される。

【0008】

上記「小型」は、例えば回路素子2が形成される絶縁基板1面の長辺が1.0mm以下である。そのような「小型」の表面実装型二連チップ電子部品で、有利な効果を得ることができる。

【0009】

従来のH型セラミック基板で、いわゆる1005サイズ（単位回路素子に用いる基板1外寸が1.0mm×0.5mm）の二連チップ電子部品を後述する大型の絶縁基板1（例

えば図2に示す)から多数個採取する場合、概ね50mm四方の大型の絶縁基板1全面からは、H型セラミック基板を採取できない。その理由は、H型とするために大型の絶縁基板1に設けられる穴の存在により、セラミック焼結時の収縮率が大型の絶縁基板1の中央部と端部とでは異なり、均一の外寸のH型セラミック基板を単一の大型の絶縁基板1全面から得ることが非常に困難だからである。従って大型の絶縁基板1の周縁部には、利用されない無駄な領域が存在している。その点いわゆる1608サイズ(単位回路素子に用いる基板1外寸が1.6mm×0.8mm)以上のH型セラミック基板では、概ね50mm四方の大型の絶縁基板1全面に亘り略均一の外寸のH型セラミック基板を採取することができる。

#### 【0010】

従って、いわゆる1005サイズの電子部品又はそれよりも小型の、0603サイズ(単位回路素子に用いる基板1外寸が0.6mm×0.3mm)や0402サイズの電子部品(単位回路素子に用いる基板1外寸が0.4mm×0.2mm)等に相当する、回路素子2が形成される絶縁基板1面の長辺が1.0mm以下の二連チップ電子部品では、量産面で特に有利な効果を顕著に得ることができ、好適である。本発明ではH型ではなく六面体の絶縁基板1を用いることから、大型の絶縁基板1焼結時の収縮量は略均一なためである。

#### 【0011】

ここで、回路素子2が形成される絶縁基板1面の長辺が1.0mmよりも大きい、本発明の二連チップ電子部品であっても、構成部材数を低減でき、全体構造が複雑にならないことによる電子部品の小型化への寄与効果を有している等の理由から、上記課題を解決できていることは言うまでもない。

#### 【0012】

上記本発明の表面実装型二連チップ電子部品は、例えば回路素子2が、一対の電極3と、当該電極3双方に接触する抵抗体4又は誘電体5とから構成され、当該電極3の外部端子領域表面にはニッケルめっき層6及びハンダめっき層7がこの順に配されるものである(例えば図5(g))。

#### 【0013】

上記ハンダめっき層7は、回路素子2の電極3が実装時に、外部端子として回路板のランドとハンダにて電気接続する際のハンダ濡れ性を良好にする。また上記ニッケルめっき層6は電極3のハンダ喰われを防止するためのものである。また「電極3双方に接触する」のが抵抗体4であれば、回路素子2は抵抗素子となり、誘電体5であれば、回路素子2はコンデンサ素子となる。

#### 【0014】

上記本発明の表面実装型二連チップ電子部品の回路素子2が抵抗素子である場合の具体例が図1(a)の平面図である図1(b)に示されている。これは六面体からなる絶縁基板1表面の両端に配置された一対の第1電極3aと、当該絶縁基板1の裏面に前記第1電極3aと対向するように配置された一対の第2電極3bと、前記一対の第1電極3a双方に接触するよう配置された第1の抵抗体4aと、第2電極3b双方に接触するよう配置された第2の抵抗体4bを有する表面実装型二連チップ電子部品である。

#### 【0015】

また図1(a)及び(b)に示す表面実装型二連チップ電子部品は、絶縁基板1が、一の面と隣り合う面とが実質的に直交している。これは同一の基板1面の面積からなる六面体において、電子部品を最も小型化できる形状である。

#### 【0016】

また図1(a)に示す表面実装型二連チップ電子部品は、回路素子2の電流進行方向と直交する絶縁基板1表面端部に電極不存在領域3cを有している。これは、大量製造時の便宜を考慮したものである。即ち、大型の絶縁基板1から多数個の本発明に係る表面実装型二連チップ電子部品を得ようとした場合、図2に示すように当該大型の絶縁基板1面に多数個の回路素子2を形成することとなる。そして通常該大型の絶縁基板1を分割して個

々の電子部品を得る。このとき、大型の絶縁基板1面に多数個の回路素子2を形成した状態で個々の回路素子2特性を検査、把握、及び／又は調整等するのが便宜である。各回路素子2が等間隔に並んでおり、プローブ用治具8を用いたプロービング作業が容易だからである(図3)。かかるプロービングの際には、隣接する回路素子2同士の短絡が許容されない。電極1が、回路素子2の電流進行方向と直交する絶縁基板1表面端部に電極不存在領域3cを有することは、その短絡防止に寄与する。

#### 【0017】

特に回路素子2が抵抗素子の場合には、上記プローブ用治具8を用いたプロービングをしながら抵抗値調整(トリミング)するのが通常である。従って図3に示すよう、電極1が、回路素子2の電流進行方向と直交する絶縁基板1表面端部の一方(図3(a))又は両方(図3(b))に電極不存在領域3cを有することが好適である。図3は、真中にある抵抗素子をプロービングしている。

#### 【0018】

図3(c)は、同図(a)、(b)の約2倍の面積の電極3を千鳥状に配置したものである。電極3の面積を約2倍にできることにより、電極3の形状の均一性・安定性を図ることができる。特にスクリーン印刷等の厚膜形成法により電極3を形成する場合には、スパッタリング等の薄膜形成法に比して形成結果物寸法精度が劣るため、非常に有利な効果となる。一方、図3(c)のように電極3と抵抗体4とを配置した場合には、一の抵抗素子の抵抗値を測定しようとしたときに、他の複数の抵抗素子の抵抗値をも測定しかねない。そこでかかる場合には、必要に応じて測定目的の抵抗素子の電極3にプローブピンを接触させると共に、他の電極3にもプローブピンを接触させて電流の回り込み防止のための電圧を印加する。

#### 【0019】

また上記本発明の表面実装型二連チップ電子部品の回路素子2が抵抗素子又はコンデンサ素子である場合には、電極3と抵抗体4又は誘電体5とが絶縁基板1面上に重なり合って接触する領域を有し、当該領域では絶縁基板1の上に抵抗体4又は誘電体5が重なり、且つ抵抗体4又は誘電体5の上に電極3が重なることが好ましい(図4(a))。

#### 【0020】

その理由は、抵抗体4と電極3との位置関係が逆であると(図4(b))、それらの重なった領域は、外部端子として利用できないが、図4(a)に示す抵抗体4と電極3との位置関係であれば、それらの重なった領域を外部端子として利用できる利点があるためである。かかる利点は、電子部品の小型化が進むに従い、回路素子2を構成する各部材の絶縁基板1面占有率の問題が大きくなるため、該重なった領域の有効活用ができる点で有利な効果となる。

#### 【0021】

また、図4(a)に示す抵抗体4と電極3との位置関係とすることにより、同一の外部端子面積を確保した場合に抵抗体4の形成面積を、(図4(b))の位置関係の場合に比して大きくできる。抵抗体4の形成面積が小さいと、抵抗体4の僅かな部分の有無即ち抵抗体4形状のばらつきが抵抗素子全体としての抵抗値へ与える影響が大きく、該抵抗値ばらつきが大きくなるため、抵抗体4面積を大きくできることは有利な効果となる。特にスクリーン印刷等の厚膜形成法により抵抗体4を形成する場合には、スパッタリング等の薄膜形成法に比して形成結果物寸法精度が劣るため、非常に有利な効果となる。

#### 【0022】

また上記本発明の表面実装型二連チップ電子部品において、回路素子が形成される絶縁基板面における回路素子の電流進行方向に沿った絶縁基板寸法(L)と、Lと直交する絶縁基板寸法(T)と、回路素子が形成される絶縁基板面間距離(W)との関係が、 $L \geq W > T$ であることが好ましい。これは例えば、図1に示す表面実装型二連チップ電子部品の構成である。かかる構成により、絶縁基板1側面に2つの回路素子を有する状態で回路板14表面に実装される場合(図7)に、本発明の表面実装型二連チップ電子部品底面及び頂面が最も基板1面の面積が大きいため、最も安定した載置状態が実現でき、表面実装電

子部品における実装安定性が高まる。

【発明の効果】

【0023】

本発明により、小型化が可能な表面実装型二連チップ電子部品を提供することができた。

【発明を実施するための最良の形態】

【0024】

図面を参照しつつ、本発明の表面実装型二連チップ電子部品の製造法を以下に述べる。尚、図5(a)乃至(f)は、大型の絶縁基板1中の単位電子部品3つのみを表示している。

【0025】

まず表面及び裏面の対応した位置に縦横に溝9が形成され、当該溝9で区画(寸法0.3mm×0.6mm)された1区画が単位電子部品となる厚み0.5mmのアルミナセラミック製の大型の絶縁基板1を用意する(図2、図5(a))。次に大型の絶縁基板1の一方の面にスクリーン印刷法により、メタルグレーズ系Ag-Pd電極ペーストを所定位置に印刷・焼成して電極3を得る(図5(b))。大型の絶縁基板1の他方の面についても同様に電極3を得る(図5(b))。この電極3形成では、上記溝9存在位置を目印にスクリーン印刷を実施した。次いで前記大型の絶縁基板1の一方の面及び他方の面の単位電子部品における一対の電極3の双方に接触するよう、酸化ルテニウムを主成分とするメタルグレーズ系抵抗体ペーストを印刷・焼成して抵抗体4を得る(図5(c))。次いでガラスペーストにて、全ての抵抗体3を覆い、且つ電極3面を露出するようにスクリーン印刷し、焼成することによりガラス膜11を得る(図5(d))。次いでレーザートリミング法により全ての抵抗体4に対してトリミング溝10を形成し、所定の抵抗値とする(図5(e))。そしてエポキシ樹脂系のオーバーコートペーストを、全ての前記焼成後のガラスを覆い、且つ電極3を露出させるようにスクリーン印刷し、硬化させ、オーバーコート膜12を得る(図5(f))。

【0026】

次に上記縦横の溝に沿って大型の絶縁基板1を単位電子部品とする分割工程を実施する。かかる分割工程は、表面にダイヤモンド粉末が付着されたダイシングソーを用いたダイシング加工による。かかるダイシング加工装置は、市販のものをを用いることができる。分割後の単位電子部品は、六面体からなる絶縁基板1の一組の向い合う面に夫々一つずつ回路素子2(抵抗素子)が形成される表面実装型二連チップ電子部品であって、当該回路素子2を構成する電極3が、外部端子を兼ねるものであった。そしてその外形寸法は、約0.5mm×0.6mm×0.3mmだった。

【0027】

そして多数の単位電子部品をバレルめっき装置に投入し、まず電極3表面にニッケルめっき層6、次いでハンダめっき層7を形成した。図5(g)は、以上の過程を経た抵抗素子の断面を示している。

【0028】

以上の過程を経て得られた個々の表面実装型二連チップ電子部品をテーピング梱包し、それを用いて市販の実装装置にて、所定位置にクリームハンダが配された回路板14面に実装し、リフロー工程を経た実装体の外観を図7に示した。絶縁基板1側面の電極3と回路板14のランドとの間にハンダフィレット15が形成されている。同図のようないわゆるサイドフィレット実装では、ハンダの状態検査が容易である利点がある。

【0029】

本実施形態では、分割工程をダイシング加工により実施した。しかし大型の絶縁基板1両面に形成された溝9を開く方向に応力付与することで、分割する方法により分割することもできる。但し、分割後の電子部品寸法精度を考慮すると、分割位置精度の優れると考えられるダイシング加工が好適である。特に小型電子部品の場合には寸法精度は重要事項であるため、ダイシング加工の適用は特に好ましい。

## 【0030】

また本実施形態では、絶縁基板1をアルミナセラミック製とし、抵抗素子を構成する電極3、抵抗体4にメタルグレーズ系のものを用い、またガラスを用いている。しかしこれらの材料の全部又は一部を樹脂を主成分とするものに代えることができる。例えばセラミック基板に代えて繊維強化プラスチック基板、メタルグレーズ系Ag-Pd電極に代えてAg粉末とエポキシ系又はアクリル系樹脂からなる導電性樹脂電極、酸化ルテニウムを主成分とするメタルグレーズ系抵抗体4に代えて、炭素材粉末とエポキシ系樹脂からなる抵抗体とすることができる。樹脂系材料とすることにより、材料コスト低減、ペースト硬化時の温度を低くすることができることから、抵抗値ドリフト抑制、熱エネルギーコスト低減等を図ることができる。

## 【0031】

また本実施形態では、表面実装型二連チップ抵抗器について説明している。本発明の表面実装型二連チップコンデンサを製造するには、例えばコンデンサ素子断面が図4に示すような構成である場合は、本実施形態に準じて製造することができる。この場合はトリミング工程(図5(e))等を要しない。また例えばコンデンサ素子断面が図6に示すような、電極3膜で誘電体5を挟み込む構成である場合も同様である。かかる場合には同図における一方の電極3、誘電体5、他方の電極3の順にスクリーン印刷工程を実施する、本実施形態との相違点がある。またこの場合もトリミング工程(図5(e))等を要しない。

## 【0032】

また本実施形態では、絶縁基板1面上に電極3を形成した後に抵抗体4を形成したが、抵抗体4を形成した後に電極3を形成することもできる。そのようにすることにより、上述した図4(a)に示す抵抗体4と電極3との位置関係とすることができる。

## 【産業上の利用可能性】

## 【0033】

本発明は、表面実装型二連チップ電子部品に関連する産業において利用可能性がある。

## 【図面の簡単な説明】

## 【0034】

【図1】(a)は、本発明の表面実装型二連チップ電子部品の一例を示した斜視図である。(b)は、(a)の平面図である。

【図2】本発明の表面実装型二連チップ電子部品に係る、大型の絶縁基板面に多数個の回路素子が形成されている状態を示す図である。

【図3】本発明の表面実装型二連チップ電子部品に係る電極が、回路素子の電流進行方向と直交する絶縁基板表面端部の一方(a)又は両方(b)に電極不存在領域を有する状態を示す図である。

【図4】本発明の表面実装型二連チップ電子部品に係る、絶縁基板上に抵抗体が重なり、且つ抵抗体の上に電極が重なる状態を示す図(a)、及び抵抗体と電極との位置関係を逆とした(b)図である。

【図5】本発明の実施形態における、本発明の表面実装型二連チップ電子部品の製造工程を順を追って示す図である。

【図6】本発明の表面実装型二連チップコンデンサのコンデンサ素子部分の一例を示す断面図である。

【図7】本発明の表面実装型二連チップ電子部品を回路板に表面実装した、実装体の外観を示す図である。

## 【符号の説明】

## 【0035】

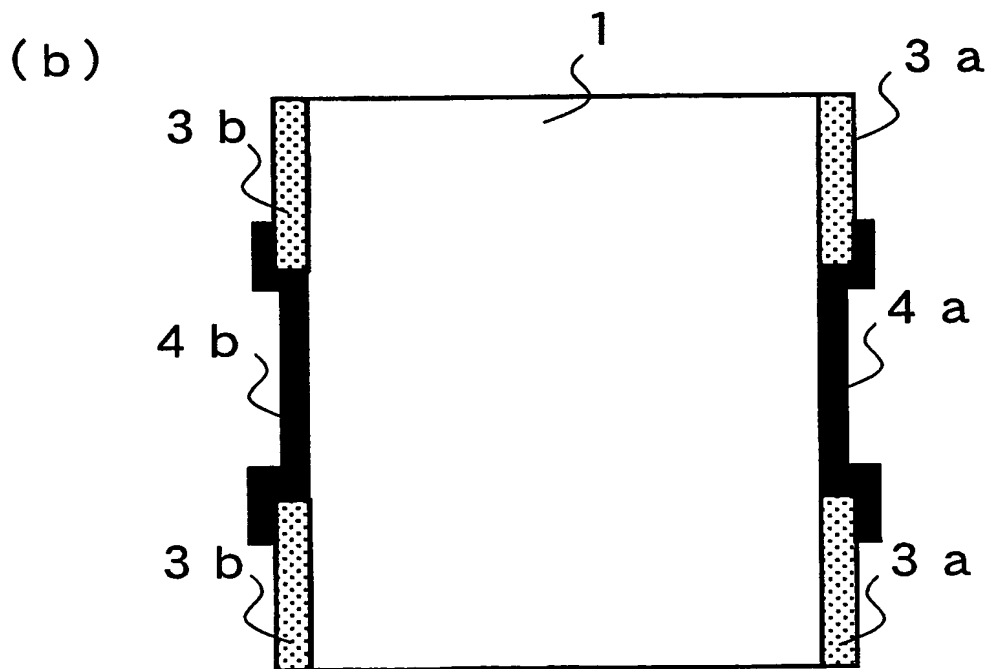
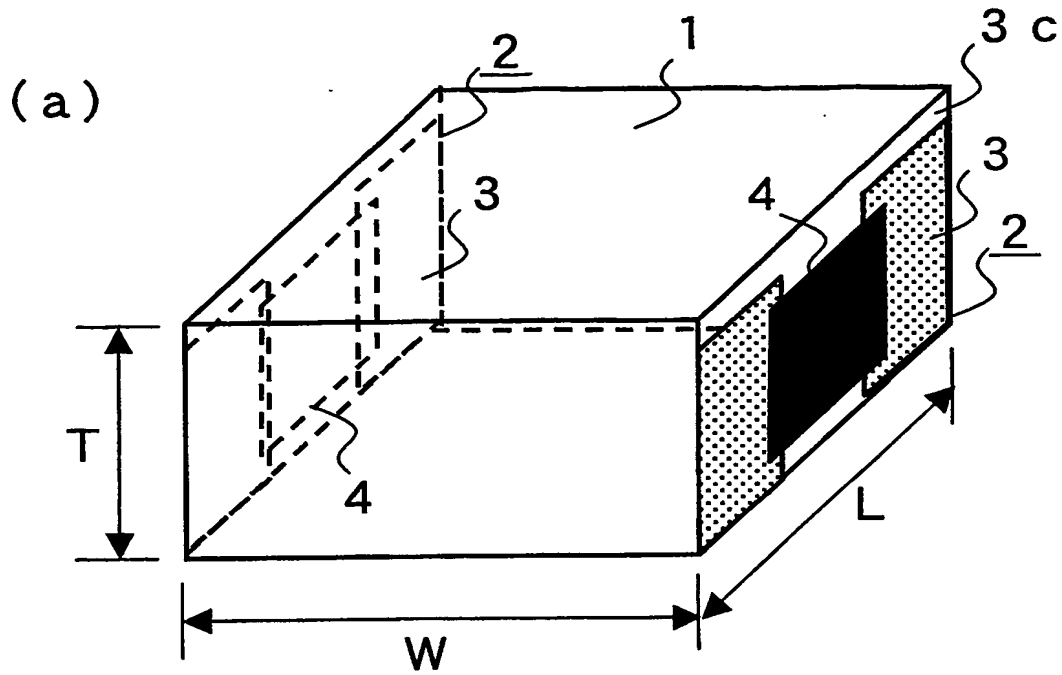
1. 基板
2. 回路素子
- 3、3a、3b. 電極
- 3c. 電極不存在領域



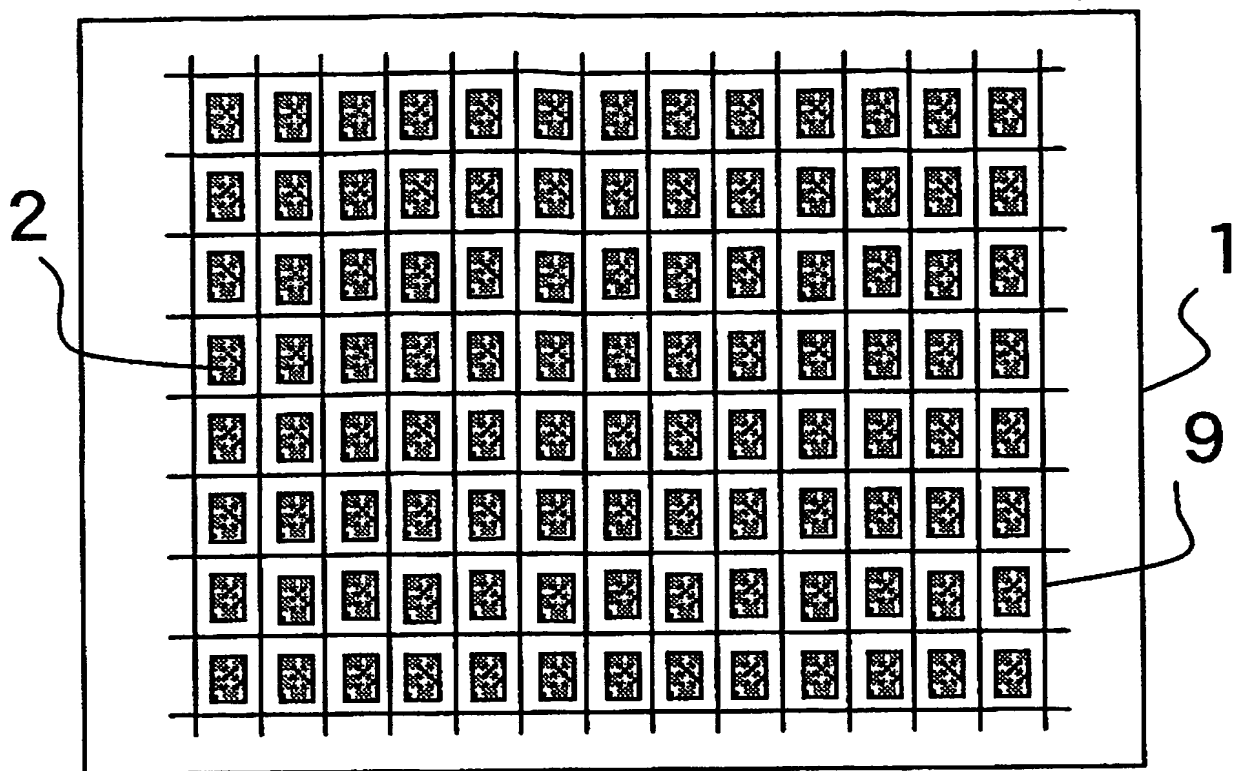
- 4、4 a、4 b. 抵抗体
- 5. 誘電体
- 6. ニッケルめっき層
- 7. ハンダめっき層
- 8. プローブ用治具
- 9. 溝
- 10. トリミング溝
- 11. ガラス膜
- 12. オーバーコート膜
- 14. 回路板
- 16. ハンダフィレット

【書類名】 図面

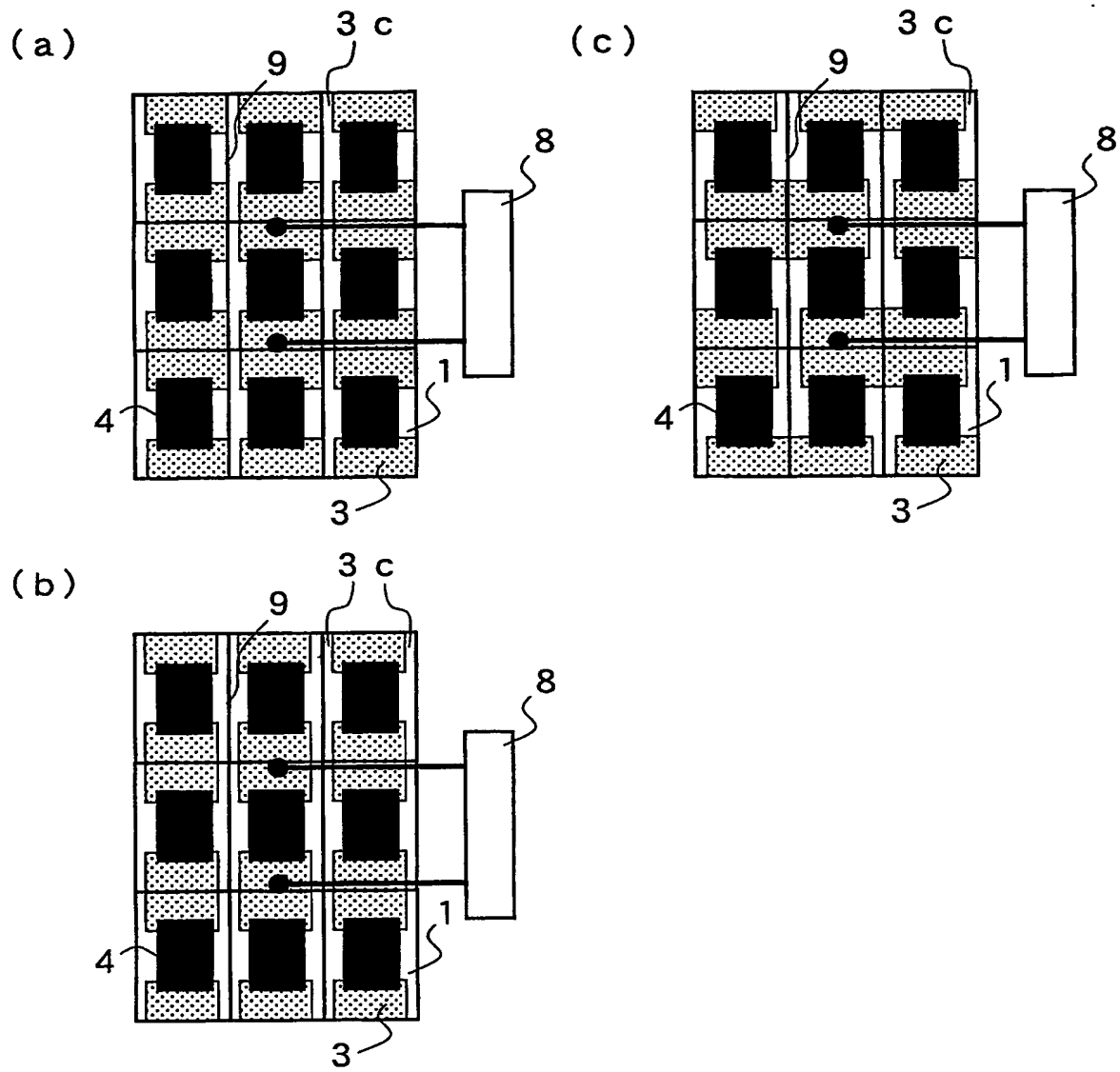
【図 1】



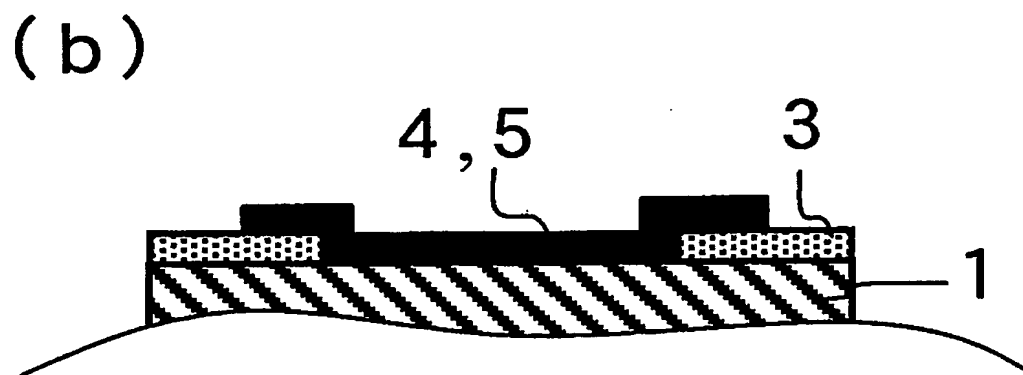
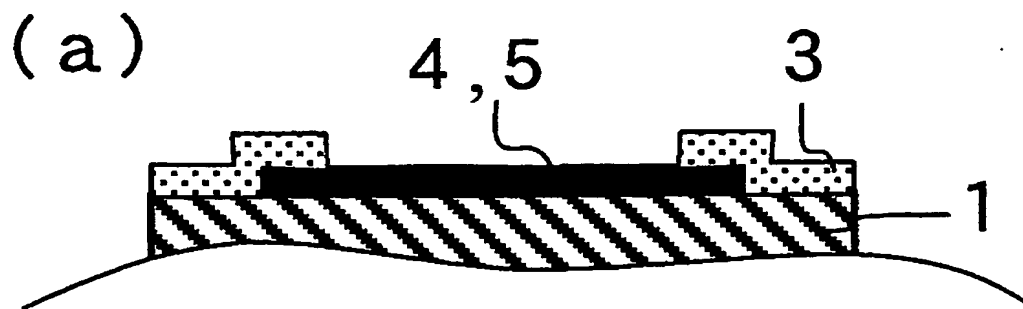
【図 2】



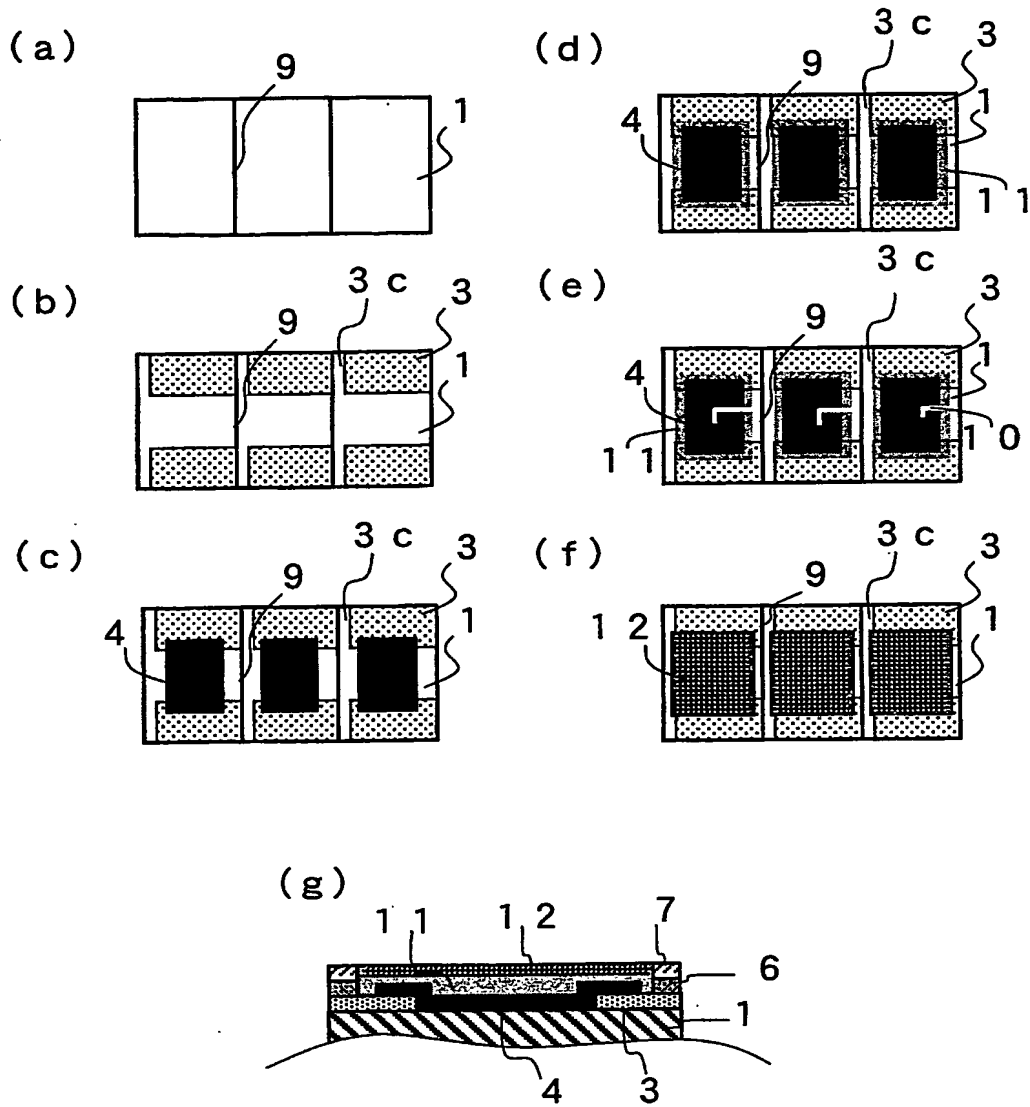
【図 3】



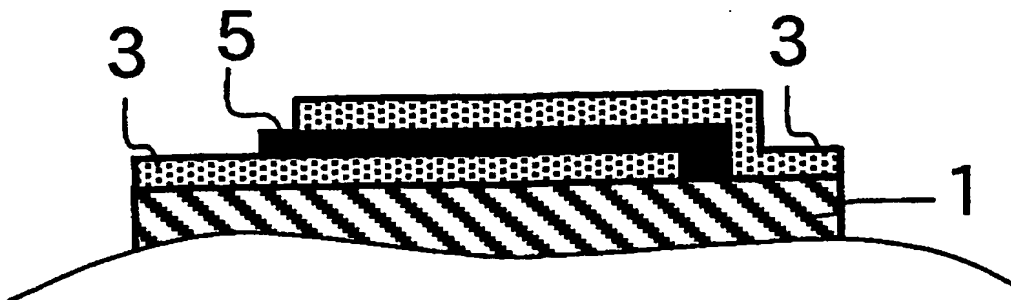
【図 4】



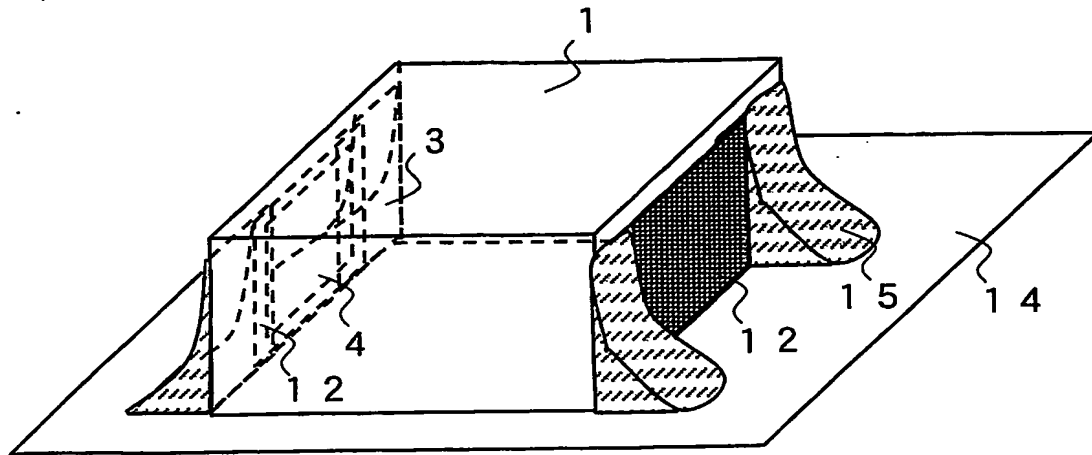
【図 5】



【図 6】



【图 7】



## 【書類名】要約書

## 【要約】

【課題】 小型化が可能な表面実装型二連チップ電子部品を提供する。

【解決手段】 六面体からなる絶縁基板 1 の一組の向い合う面に夫々一つずつ回路素子 2 が形成される表面実装型二連チップ電子部品であって、当該回路素子 2 を構成する電極 3 が、外部端子を兼ねる。例えば六面体からなる絶縁基板 1 表面の両端に配置された一对の第 1 電極 1 a と、当該絶縁基板の裏面に前記第 1 電極 1 a と対向するように配置された一对の第 2 電極 1 b と、前記一对の第 1 電極 1 a 双方に接触するよう配置された第 1 の抵抗体 4 a と、第 2 電極 1 b 双方に接触するよう配置された第 2 の抵抗体 4 b を有する。

【選択図】 図 1



認定・付加情報

特許出願の番号	特願 2003-387948
受付番号	50301903046
書類名	特許願
担当官	第七担当上席 0096
作成日	平成15年11月19日

<認定情報・付加情報>

【提出日】 平成15年11月18日

特願 2003-387948

出願人履歴情報

識別番号 [500157837]

1. 変更年月日 2000年 4月 5日  
[変更理由] 新規登録  
住 所 長野県上伊那郡箕輪町大字中箕輪 14016番地 30  
氏 名 ケイテックデバイシーズ株式会社
2. 変更年月日 2004年 9月 6日  
[変更理由] 名称変更  
住 所 長野県上伊那郡箕輪町大字中箕輪 14016番地 30  
氏 名 箕輪興亜株式会社

**This Page is Inserted by IFW Indexing and Scanning Operations and is not part of the Official Record.**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**